

CLIPPEDIMAGE= JP356091536A  
PAT-NO: JP356091536A  
DOCUMENT-IDENTIFIER: JP 56091536 A  
TITLE: MULTIPLE-VALUED LEVEL OUTPUT CIRCUIT

PUBN-DATE: July 24, 1981

INVENTOR-INFORMATION:

NAME

YUYAMA, TOSHIO

SHIRAKI, RYUZO

WATANABE, SEIJI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP54169756

APPL-DATE: December 26, 1979

INT-CL\_(IPC): H03K019/20

US-CL-CURRENT: 326/59

ABSTRACT:

PURPOSE: To prevent a latch-up state and the destruction of an element by mutually connecting output terminals of a couple of inverters differing in power voltage and by turning on and off those inverters through complementary switching.

CONSTITUTION: As the 1st control signal is held at level [L], inverters composed of MOS transistors T<SB>1</SB> and T<SB>2</SB> are turned on to generate outputs of levels VDD<SB>1</SB> and VSS<SB>1</SB> obtained by inverting the input. When the 1st control signal is held at level [H], MOS transistors T<SB>1</SB> and T<SB>2</SB> are turned off regardless of the input and the inverter outputs are in high impedance state. In response to the 2nd control signal, the same operation is performed to hold outputs of MOS transistors T<SB>3</SB> and T<SB>4</SB> at VDD<SB>2</SB> and VSS<SB>2</SB>.

The 1st and 2nd control signals are both inhibited from being at level [L].

COPYRIGHT: (C)1981,JPO&Japio

**BEST AVAILABLE COPY**

に電圧  $V_{DD}$ 、 $V_{SS}$  を印加すると、第3図(a)に示す入力信号に対応してインバータ回路1の出力端には第3図(d)に示すような反転した出力信号が得られる。この出力信号のハイレベルは電圧  $V_{DD}$  で、ローレベルは  $V_{SS}$  となる。つまり、スイッチ  $S_1$  と  $S_2$  のオン時における出力信号を比較して、ハイレベルが低くなり、ローレベルが高くなっていることがわかる。

このようにして、入力信号に対して論理レベルの異なる多値レベル出力が得られる。しかし、第1図に示すような方法では、インバータ回路1を構成しているトランジスタ(図示せず)にかかる電圧が外部のスイッチ  $S_1 \sim S_4$  のオン・オフによって変化してしまい、特に、インバータ回路1がCMOSなどのIC(集積回路)によって構成している場合には、ラッチアップ、素子の破壊などの原因となり、好ましくない。また、スイッチ  $S_1 \sim S_4$  によるIC外部での切換えがあるため、システムが複雑になるという欠点もある。

た出力信号が得られ、そのハイレベルは電圧  $V_{DD}$  であり、ローレベルは電圧  $V_{SS}$  である。同様に、スイッチ  $S_3$  のオン時には入力信号に対応して反転した出力信号が得られる。この場合の出力信号のハイレベルは電圧  $V_{DD}$  で、ローレベルは電圧  $V_{SS}$  である。

このようにして、スイッチ  $S_1$  または  $S_2$  をオンにすることによって、第1図の場合と同様に、論理レベルの異なる出力信号、すなわち、多値レベルの出力信号を得ることができる。しかし、この第2図の場合には、インバータ回路2, 3の出力端にスイッチ  $S_5$ 、 $S_6$  が設けられているので、スイッチ  $S_5$ 、 $S_6$  の抵抗が挿入されることになる。したがって、出力波形の立上り、立下りの影響を与えると云う欠点がある。加えて、第1図の場合と同様に、ICの外部でスイッチ  $S_5$ 、 $S_6$  を切り換えるため、システムが複雑になる欠点がある。

この発明は、上記従来の欠点を除去するためになされたもので、外部のスイッチによる切換

上記第1図に代えて、第2図に示すような一つの負荷に対して複数の論理レベルを加える方法も知られている。この第2図の場合はインバータ回路2に電圧  $V_{DD}$  と  $V_{SS}$  を印加し、インバータ回路3に電圧  $V_{DD}$  と  $V_{SS}$  を印加し、両インバータ回路2, 3の入力端には第3図(a)に示すような入力信号を供給し、インバータ回路2, 3の各出力端からはスイッチ  $S_5$ 、 $S_6$  を介して出力信号を取り出すようにしている。

この第2図におけるインバータ回路2, 3には同じ入力信号が加えられ、インバータ回路1に加えられる電圧  $V_{DD}$  と  $V_{SS}$  およびインバータ回路3に加えられる電圧  $V_{DD}$  と  $V_{SS}$  はそれぞれ第1図の場合と同様に、第3図(a)に示すように、スイッチ  $S_3$  のオン時には第3図(b)に示すように、スイッチ  $S_3$  をオフにしている。そして、スイッチ  $S_3$  のオン時にはスイッチ  $S_5$  はオフになっている。いま、スイッチ  $S_3$  がオンの場合には、第3図(a)に示す入力信号に対応して第3図(d)に示すような反転し

えを行わないようにして、素子の破壊の防止と出力波形の立上り、立下りに対する影響を軽減し、しかもシステム全体を一つのICとして構成でき、構成の簡略化も期することのできる多値レベル出力回路を提供することを目的とする。

以下、この発明の多値レベル出力回路の実施例について図面に基づき説明する。第4図はその一実施例の回路図である。この第4図において、 $T_1$  と  $T_2$  はPチャンネルMOSトランジスタ(以下、MOSトランジスタと云う)であり、 $T_3$  と  $T_4$  はNチャンネルMOSトランジスタ(以下、MOSトランジスタと云う)である。MOSトランジスタ  $T_1$  と  $T_2$ 、 $T_3$  と  $T_4$  はそれぞれCMOSインバータを構成している。MOSトランジスタ  $T_1$  のソースにはハイレベル(以下「H」レベルと云う)の電圧  $V_{DD}$  が印加されるようになっている。MOSトランジスタ  $T_1$  のドレインとMOSトランジスタ  $T_2$  のドレインは直結されて、そこから出力信号が得ようになっている。MOSトランジスタ  $T_3$  のソースにはロ

ーレベル（以下、「L」レベルと云う）の電圧  $V_{ss}$  が印加されるようになっている。

同様に、MOSトランジスタ  $T_1$  のソースには「H」レベルの電圧  $V_{DD}$  が印加されるようになっている。MOSトランジスタ  $T_1$  のドレインはMOSトランジスタ  $T_2$  のドレインが接続され、その接点より出力信号を取り出すようになっている。すなわち、MOSトランジスタ  $T_1$  のドレインとMOSトランジスタ  $T_2$  のドレインとの接続点と、MOSトランジスタ  $T_2$  のドレインとMOSトランジスタ  $T_3$  のドレインとの接続点とが共通に接続されている。MOSトランジスタ  $T_3$  のソースには「L」レベルの電圧  $V_{ss}$  が印加されている。

一方、4は2入力のノア回路である。ノア回路4の第1の入力端には第1コントロール信号が導入されるようになっている。ノア回路4の第2入力端には入力信号が導入されるようになっている。ノア回路4の出力端はMOSトランジスタ  $T_4$  のゲートに接続されている。

5図(4)のタイムチャートを併用して説明する。第5図(a)は入力信号を示し、第5図(b)、第5図(c)はそれぞれ第1コントロール信号、第2コントロール信号を示す。そして、第5図(d)はMOSトランジスタ  $T_1$  と  $T_2$  とによるCMOSインバータおよびMOSトランジスタ  $T_2$  と  $T_3$  とによるCMOSインバータの出力信号を示している。

いま、第5図(b)に示すように、第1コントロール信号が「L」レベルのとき、第5図(a)に示す入力信号が「H」レベルであると、ナンド回路6の出力信号は「L」レベルとなり、また、ノア回路4の出力信号は「L」レベルとなる。したがって、MOSトランジスタ  $T_1$  はオン、MOSトランジスタ  $T_2$  はオフとなり出力には  $V_{DD}$  が現れる。この第1コントロール信号が「H」レベルになると、ナンド回路6の出力信号は「H」レベルとなり、MOSトランジスタ  $T_1$  はオフとなる。そして、ノア回路4の出力信号は「L」レベルとなり、MOSトランジスタ  $T_2$  はオフとなる。したがって、第1コント

また、2入力のノア回路5の第1入力端には第2コントロール信号が導入されるようになっている。ノア回路5の第2入力端には入力信号が導入されるようになっている。ノア回路6の出力端はMOSトランジスタ  $T_4$  のゲートに接続されている。

6、7はそれぞれ2入力のナンド回路である。ナンド回路6の第1入力端には入力信号が供給されるようになっている。ナンド回路6の第2入力端にはインバータ8を介して第1コントロール信号が導入されるようになっている。ナンド回路6の出力端はMOSトランジスタ  $T_1$  のゲートに接続されている。さらに、ナンド回路7の第1入力端には入力信号が供給され、第2入力端にはインバータ9を介して第2コントロール信号が導入されるようになっている。ナンド回路7の出力端はMOSトランジスタ  $T_2$  のゲートに接続されている。

次に、以上のように構成されたこの発明の多値レベル出力回路の動作について第5図(a)～第

ール信号が「H」レベルになれば、MOSトランジスタ  $T_1$ 、 $T_2$  によるCMOSインバータは機能を喪失することになる。

上記のように、第1コントロール信号が「L」レベルで、MOSトランジスタ  $T_1$ 、 $T_2$  はCMOSインバータとしての機能を呈することにより、MOSトランジスタ  $T_1$  のドレインとMOSトランジスタ  $T_2$  のドレインとの接続点より第5図(d)に示すとき信号が得られる。この出力信号の「H」レベルは電圧  $V_{DD}$  で、「L」レベルは電圧  $V_{ss}$  である。

一方、MOSトランジスタ  $T_2$  と  $T_3$  とによるCMOSインバータの場合には、第5図(c)に示す第2コントロール信号が「L」レベルのとき、入力信号が「H」レベルならば、ナンド回路7の出力信号は「L」レベルとなり、MOSトランジスタ  $T_2$  はオンである。また、このとき、ノア回路5の出力信号は「L」レベルである。したがって、MOSトランジスタ  $T_3$  はオフである。つまり、第2コントロール信号が「H」レベル

のときは、MOSトランジスタ $T_1, \dots, T_n$ はともにオフであり、CMOSインバータとしての機能を消失している。

次に、第5図Aの期間に示すごとく、第1コントロール信号が「H」レベルで、第2コントロール信号が「L」レベルになるとナンド回路7、およびノア回路5は入力信号の反転信号をMOSトランジスタ $T_1, T_2$ のゲートに印加するのでMOSトランジスタ $T_1, T_2$ のCMOSインバータはインバータとしての機能を呈し、第5図(a)の入力信号に対応して、第5図(d)に示すような出力信号を発生する。この出力信号の「H」レベルは電圧 $V_{DD}$ であり、「L」レベルは電圧 $V_{SS}$ である。

なお、第1コントロール信号が「H」レベルで、第2コントロール信号が「H」レベルのとき、出力は、MOSトランジスタ $T_1$ と $T_2$ 、 $T_1$ と $T_2$ による両CMOSインバータの出力は高抵抗状態となる。そして、第1コントロール信号および第2コントロール信号がともに「L」

レベルで、MOSトランジスタ $T_1$ のソースには電圧 $V_{SS}$ が印加されている。MOSトランジスタ $T_1$ のドレインとMOSトランジスタ $T_2$ のドレインとの接続点およびMOSトランジスタ $T_1$ のドレインとMOSトランジスタ $T_2$ のドレインとの接続点より出力信号を取り出すようになっている。

一方、2入力のナンド回路10の第1入力端、2入力のノア回路11の第1入力端、2入力のナンド回路12の第1入力端、2入力のノア回路13の第1入力端にそれぞれ入力信号が加えられるようになっている。ノア回路11の第2入力端、ナンド回路12の第2入力端にはそれぞれ直接コントロール信号が導入されるようになっている。そして、インバータ14を介してコントロール信号をナンド回路10の第2入力端、ノア回路13の第2入力端に供給するようになっている。ナンド回路10の出力端はMOSトランジスタ $T_1$ のゲートに接続されている。ノア回路11の出力端はMOSトランジスタ $T_2$ のゲートに接続されている。ナンド回路12の出力端はMOSトランジスタ $T_1$ のゲートに接続されている。ノア回路13の出力端はMOSトランジスタ $T_2$ のゲートに接続されている。

レベルの状態は使用しないものとする。

第6図はこの発明の多値レベル出力回路の第2の実施例を示す回路図である。この第6図の実施例は第4図における第1コントロール信号と第2コントロール信号を一つのコントロール信号で制御するようにしたものである。まず、構成から述べると、MOSトランジスタ $T_1$ と $T_2$ とにより、CMOSインバータを構成しており、MOSトランジスタ $T_1$ はPチャンネル、MOSトランジスタ $T_2$ はNチャンネルである。また、PチャンネルのMOSトランジスタ $T_1$ とNチャンネルのMOSトランジスタ $T_2$ とにより、別のCMOSインバータを構成している。

MOSトランジスタ $T_1$ のソースには電圧 $V_{DD}$ が印加され、MOSトランジスタ $T_1$ のドレインとMOSトランジスタ $T_2$ のドレインが接続されている。MOSトランジスタ $T_2$ のソースには電圧 $V_{SS}$ が印加されている。また、MOSトランジスタ $T_1$ のソースには電圧 $V_{DD}$ が印加され、そのドレインとMOSトランジスタ $T_2$ のドレイン

のゲートに接続されている。ナンド回路12の出力端はMOSトランジスタ $T_1$ のゲートに接続されている。ノア回路13の出力端はMOSトランジスタ $T_2$ のゲートに接続されている。

第7図は第6図の動作を説明するためのタイムチャートである。第7図(b)に示すコントロール信号が「L」レベルのときは、ナンド回路12の出力信号は「H」レベルであり、MOSトランジスタ $T_1$ はオフである。また、ノア回路13の出力信号は「L」レベルであり、MOSトランジスタ $T_2$ もオフである。したがって、MOSトランジスタ $T_1, T_2$ によるCMOSインバータは動作しない。

このとき、ナンド回路10の出力信号は入力信号の反転信号をMOSトランジスタ $T_1$ のゲートに、またノア回路11の出力信号は、入力信号の反転信号をMOSトランジスタ $T_2$ のゲートに供給するのでCMOSインバータとしての動作を行い、入力信号に対応して、同相の出力信号が得られる。この出力信号は第7図(c)に示すように、「H」

レベルが電圧  $V_{DD1}$  で、「L」レベルが電圧  $V_{SS1}$  となる。

次に、コントロール信号が「H」レベルになると、ナンド回路10の出力信号は「H」レベルで、ノア回路11の出力信号は「L」レベルとなり、MOSトランジスタ  $T_1$ 、 $T_2$  はともにオフとなる。しかし、このとき、ナンド回路12の出力信号は入力反転信号をMOSトランジスタ  $T_7$  のゲートにまたノア回路13の出力信号は入力反転信号をMOSトランジスタ  $T_8$  のゲートに供給するのでCMOSインバータとしての機能を呈し、第7図(e)に示すとき出力信号を発生する。この出力信号の「H」レベルの電圧  $V_{DD1}$  で、「L」レベルの電圧は  $V_{SS1}$  である。

第8図はこの発明の多値レベル出力回路の第3の実施例を示す回路図である。この第8図の場合は、「L」レベルの電圧  $V_{SS}$  が固定で、「H」レベルのみ切り換わるようにしたものであり、MOSトランジスタ  $T_1 \sim T_{11}$  の3個を使用しており、MOSトランジスタ  $T_1$  と  $T_{11}$  はP

力端に供給するようになっている。ナンド回路15の出力端はMOSトランジスタ  $T_9$  のゲートに接続されており、ナンド回路16の出力端はMOSトランジスタ11のゲートに接続されている。

第9図は第8図の回路の動作を説明するためのタイムチャートである。この第9図(b)に示すコントロール信号が「L」レベルのとき、ナンド回路16の出力信号は「H」レベルとなり、MOSトランジスタ  $T_{11}$  はオフとなる。このとき、入力信号が「H」レベルであれば、ナンド回路15の出力信号は「L」レベルとなり、MOSトランジスタ  $T_9$  は導通する。そして、入力信号が「L」レベルになると、インバータ17の出力信号は「H」レベルになり、MOSトランジスタ  $T_{10}$  は導通する。このように、コントロール信号が「L」レベルのとき、MOSトランジスタ  $T_1$ 、 $T_{10}$  によるCMOSインバータが動作し、第9図(a)に示すとき出力信号を発生する。この出力信号の「H」レベルは電圧  $V_{DD1}$  であり、

チャンネルで、MOSトランジスタ  $T_{10}$  はNチャンネルである。MOSトランジスタ  $T_9$  のソースには電圧  $V_{DD1}$  が印加され、そのドレインはMOSトランジスタ  $T_{10}$  のドレインに接続されている。MOSトランジスタ  $T_{10}$  のソースには電圧  $V_{SS}$  が印加されている。そして、MOSトランジスタ  $T_9$  のドレインとMOSトランジスタ  $T_{10}$  のドレインとの接続点およびMOSトランジスタ  $T_{11}$  のドレインより出力信号を得ようになっている。MOSトランジスタ  $T_{11}$  のソースには電圧  $V_{DD1}$  が印加されている。

一方、2入力のナンド回路16の第1入力端、2入力のナンド回路16の第2の入力端には入力信号が加えられるようになっている。また、この入力信号はインバータ17を介してMOSトランジスタ  $T_{10}$  のゲートに供給するようになっている。

コントロール信号はナンド回路16の第2入力端に供給するようになっているとともに、インバータ18を通してナンド回路16の第2入

「L」レベルは電圧  $V_{SS}$  である。

また、コントロール信号が「H」レベルになると、ナンド回路16の出力信号は「H」レベルとなり、MOSトランジスタ  $T_9$  はオフとなる。そして、このとき入力信号が「H」レベルならば、ナンド回路16の出力信号は「L」レベルとなり、MOSトランジスタ  $T_{11}$  は導通し、入力信号が「L」レベルになると、ナンド回路16の出力信号は「H」レベルとなり、MOSトランジスタ  $T_{11}$  はオフとなる。そして、第9図(a)に示す入力信号が「H」レベルのときMOSトランジスタ  $T_{10}$  はオフで、入力信号が「L」レベルのとき、MOSトランジスタ  $T_{10}$  は導通する。かくして、コントロール信号が「H」レベルのとき、第9図(a)に示す入力信号に応じてMOSトランジスタ  $T_{11}$  と  $T_{10}$  とによりCMOSインバータとしての機能を呈し、第9図(e)に示すとき出力信号を発生する。この出力信号の「H」レベルは電圧  $V_{DD}$  であり、「L」レベルは電圧  $V_{SS}$  である。

第10図は、この発明の多値レベル出力回路の第4の実施例を示す回路図である。この第10図の場合は第8図とは逆に、「H」レベルの電圧 $V_{DD}$ を固定して、「L」レベルの電圧 $V_{SS}$ 、 $V_{SS}$ のみを切り換えるようにしたものである。この第10図において、PチャンネルのMOSトランジスタ $T_{12}$ のソースには電圧 $V_{DD}$ が印加されており、そのドレインはMOSトランジスタ $T_{13}$ のドレインに接続されている。その接続点およびNチャンネルのMOSトランジスタ $T_{14}$ のドレインより出力信号を取り出すようになっている。NチャンネルのMOSトランジスタ $T_{13}$ のソースには電圧 $V_{SS}$ が印加されるようになっており、MOSトランジスタ $T_{14}$ のソースには電圧 $V_{SS}$ が印加されている。

一方、入力信号はインバータ19を通して、MOSトランジスタ $T_{12}$ のゲートに供給するようになっているとともに、2入力のノア回路20の第1入力端、2入力のノア回路21の第1入力端にそれぞれ供給するようになっている。ま

レベルのとき、MOSトランジスタ $T_{12}$ はオフになる。したがって、コントロール信号が「L」レベルのとき、MOSトランジスタ $T_{12}$ と $T_{13}$ とによりCMOSインバータを構成し、出力信号を発生する。この出力信号は第11図(c)に示すように、「H」レベルが電圧 $V_{DD}$ であり、「L」レベルが電圧 $V_{SS}$ である。

次に、コントロール信号が「H」レベルになると、ノア回路20の出力信号は「L」レベルとなり、MOSトランジスタ $T_{12}$ はオフとなる。そして、MOSトランジスタ $T_{13}$ は入力信号の「H」レベルで導通し、「L」レベルでオフとなる。また、ノア回路21の出力信号は入力信号の「L」レベルのとき出力信号が「H」レベルとなって、MOSトランジスタ $T_{14}$ が導通し、入力信号が「H」レベルのとき、ノア回路21の出力信号は「L」レベルとなり、MOSトランジスタ $T_{14}$ はオフとなる。したがって、コントロール信号が「H」レベルのとき、MOSトランジスタ $T_{12}$ と $T_{14}$ とによりCMOSインバータを構成し、入力信

た、コントロール信号はノア回路20の第2入力端に供給するとともに、インバータ22を通してノア回路21の第2入力端に供給するようになっている。ノア回路20の出力端はMOSトランジスタ $T_{13}$ のゲートに接続され、ノア回路21の出力端はMOSトランジスタ $T_{14}$ のゲートに接続されている。

第11図は第10図の動作を説明するためのタイムチャートである。第11図(b)に示すコントロール信号が「L」レベルのとき、ノア回路21の出力信号は「L」レベルとなり、MOSトランジスタ $T_{14}$ はオフとなる。このコントロール信号が「L」レベルのとき、第11図(a)に示す入力信号が「H」レベルならば、ノア回路20の出力信号は「L」レベルとなり、MOSトランジスタ $T_{12}$ がオフし、入力信号が「L」レベルのとき、MOSトランジスタ $T_{12}$ はオンとなる。また、コントロール信号が「L」レベルのとき、入力信号が「H」レベルであれば、MOSトランジスタ $T_{13}$ は導通し、入力信号が「L」

信号の「H」、「L」レベルに応じて、第11図(c)に示すとき出力信号を発生する。このときの出力信号の「H」レベルは電圧 $V_{DD}$ で、「L」レベルは電圧 $V_{SS}$ である。

このようにして得られた多値レベルの信号はレベル変換回路、CCD駆動回路などに応用することができる。そしてCCDなどの電荷転送デバイスをイメージセンサとして用いる場合、電荷の蓄積時と転送時において駆動パルスの「H」レベルと「L」レベルを変える必要がある。この場合、CCD駆動パルスの出力段として、第4図、第6図、第8図、第10図で示した多値レベル出力回路を用いることによって、システム全体を一つのICで構成することができ、システム全体がより簡単に構成できるものである。

以上詳述したように、この発明の多値レベル出力回路によれば、第1のハイレベルの電圧と第1のローレベルの電圧を得るように入力信号を反転させるCMOSインバータを設けるとともに、コントロール信号のレベルに応じてこのCMOS

インバータまたは別の回路を動作させて、入力信号を反転して第1のハイレベルまたは第1のローレベルの少なくとも一方が異なる出力信号を得るようにしたので、スイッチを外部で切り換えることがなくなり、ラッチアップや素子の破壊を防止することができる。また、出力部にスイッチング素子による抵抗が挿入されないから、各素子の破壊に対して強く、しかも出力波形の立上り、立下りに対する影響も少ない。さらに、システム全体をICとして一つに構成できるから、構成が簡単になるなどのすぐれた効果を奏するものである。

#### 4. 図面の簡単な説明

第1図および第2図はそれぞれ従来の一つの負荷に対して複数の論理レベルを加える方法を説明するための回路図、第3図(a)ないし第3図(d)はそれぞれ第1図および第2図の各部の動作を説明するためのタイムチャート、第4図はこの発明の多値レベル出力回路の一実施例の回路図、第5図(a)ないし第5図(d)はそれぞれ同実施

例の動作を説明するためのタイムチャート、第6図はこの発明の多値レベル出力回路の第2の実施例を示す回路図、第7図(a)ないし第7図(c)はそれぞれ同実施例の動作を説明するためのタイムチャート、第8図はこの発明の多値レベル出力回路の第3の実施例を示す回路図、第9図(a)ないし第9図(c)は同実施例の動作を説明するためのタイムチャート、第10図はこの発明の多値レベル出力回路の第4の実施例を示す回路図、第11図(a)ないし第11図(c)はそれぞれ同実施例の動作を説明するためのタイムチャートである。

$T_1 \sim T_{10}$  … MOS トランジスタ、4, 5, 11, 13, 20, 21 … ノア回路、6, 7, 10, 12, 15, 16 … ナンド回路、1, 2, 3, 8, 9, 14, 17 ~ 19, 22 … インバータ。

出願人代理人 弁理士 鈴 江 武 彦

図 1

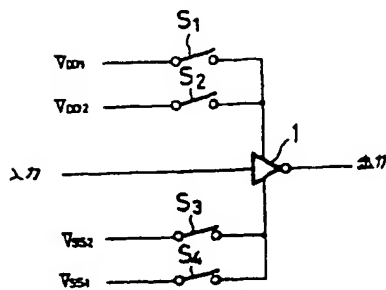


図 2

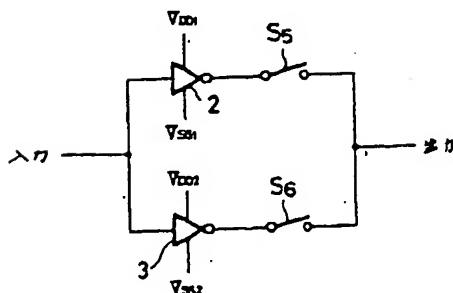


図 3

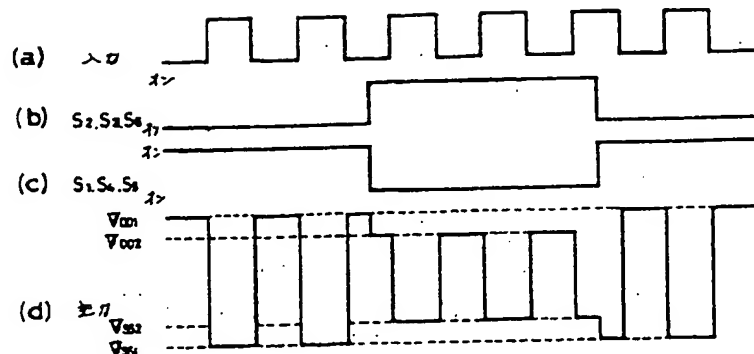


図 5

図 4

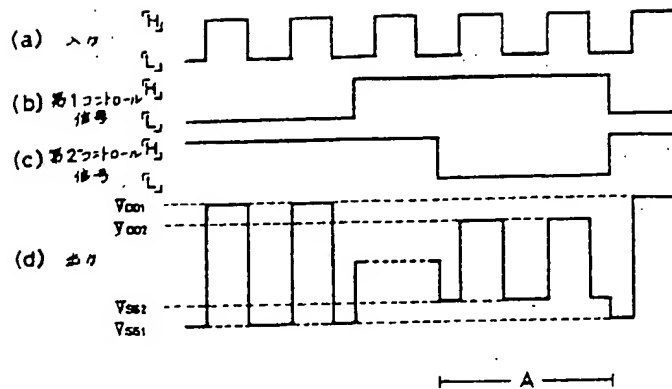
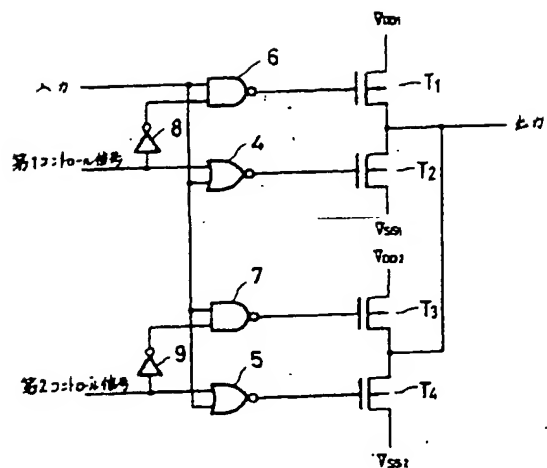


図 6

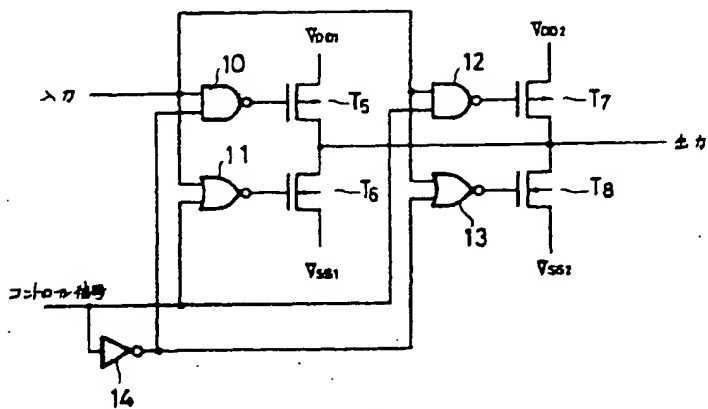
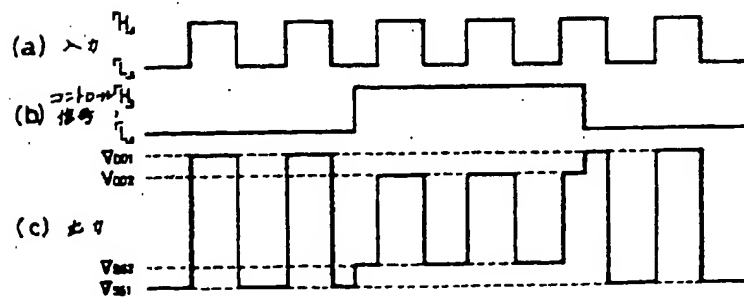
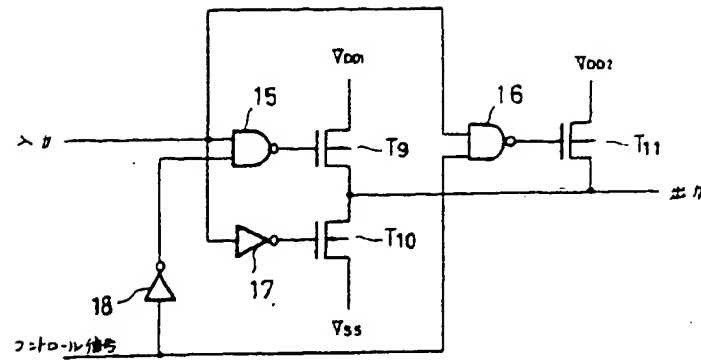


図 7

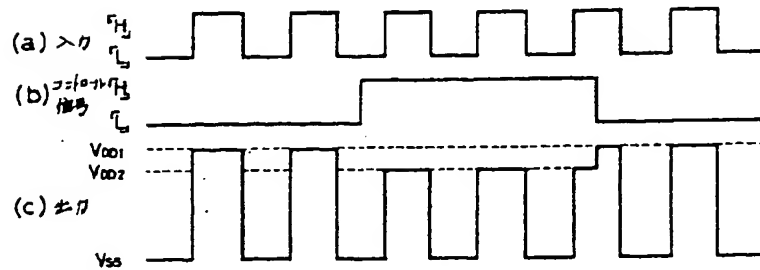




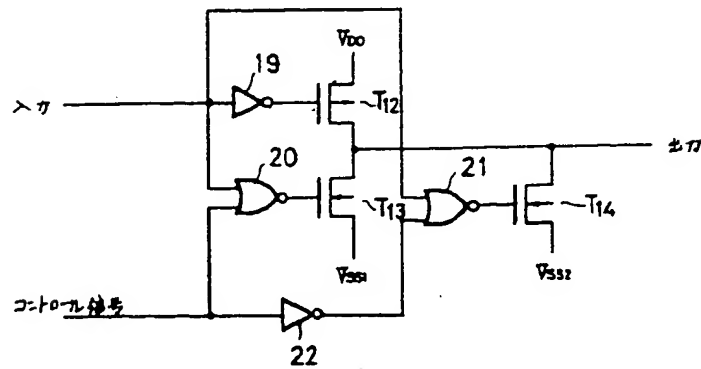
第 8 図



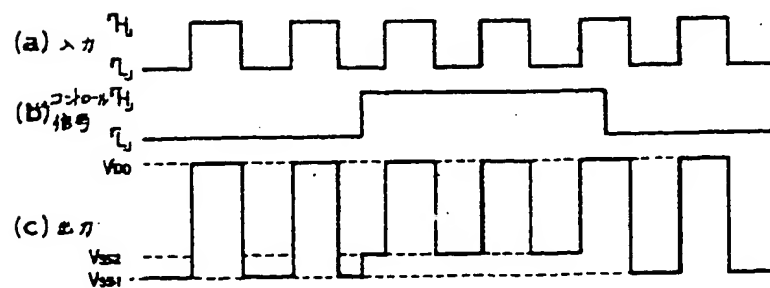
第 9 図



第 10 図



第 11 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**